TDE3-E4 – Electronique logique

Capacités exigibles	ChE3	ChE4	Ex1-6	Ex7	Ex8	Ex9	Ex10	TP 6
Interrupteurs commandés par une tension. **Porte logique NOT.** **Portes logiques AND, OR, NAND, NOR à deux ou plusieurs entrées.** **Porte logique XOR.** Déterminer la table de vérité d'une association d'interrupteurs commandés par une tension. Identifier par sa table de vérité la porte logique réalisée par une association d'interrupteurs commandés par une tension.	•		•		•	•	•	
États stables. **Circuits astable, monostable, bistable.** Déterminer les états stables d'un circuit contenant des portes logiques, avec rétroaction. *Réaliser un oscillateur à l'aide d'un circuit astable à portes logiques.* *Réaliser un convertisseur fréquence tension utilisant un circuit monostable à porte logique.*		•			•			•
Bascule RS à portes NAND ou NOR. Décrire le fonctionnement d'une bascule RS dont le schéma est fourni. Expliquer comment réaliser une mémoire à l'aide d'un circuit bistable.		•		•	•	•	•	•
Chronogramme. Déterminer le chronogramme des grandeurs électriques pertinentes d'un circuit comportant des portes logiques.		•		•	•	•		

0 Exercices classiques vus en cours :

ChE3- B : Identification des portes logiques correspondant à un circuit à interrupteurs commandés
ChE3- C.1 : Justification d'égalités dans l'algèbre de Boole
ChE3- C.2 : Justification de l'expression de l'opération XOR en fonction des opérations NOT et OR
ChE3- C.3 : Justification des lois de de Morgan
ChE3- C.3 : Justification de l'obtention des opérateurs NOT, AND et OR via des associations de portes NAND
ChE4- B.1 et 2 : Etude de circuits astables
ChE4- C : Etude d'un circuit monostable : convertisseur fréquence-tension
ChE4- D.2 : Etude de circuits bistables : bascule RS

1 Algèbre de Boole *(Révisions informatique MP2I)*

Montrer que :

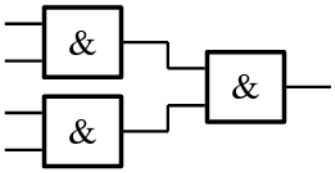
Règles élémentaires :	*Simplifications :*	*Propriétés de l'opérateur NOT :*
1) $a \cdot a = a \; et \; a + a = a$	4) $a + a \cdot b = a$	7) $a + \overline{a} = 1$ et $a \cdot \overline{a} = 0$
2) $(a + b) + c = a + (b + c)$	5) $a + \overline{a} \cdot b = a + b$	8) $\overline{a + b} \neq \overline{a} + \overline{b}$
3) $a \cdot (b + c) = a \cdot b + a \cdot c$	6) $a \cdot (\overline{a} + b) = a \cdot b$	9) $\overline{a \cdot b} \neq \overline{a} \cdot \overline{b}$
		10) $\overline{a \cdot (b + c)} \neq \overline{a} \cdot (\overline{b} + \overline{c})$

2 ✎ Groupe complet de la porte NOR

En utilisant une loi de de Morgan, proposez, à l'aide uniquement de portes NOR, un circuit logique permettant de réaliser les opérations NOT, AND et OR.

3 Réalisation d'une porte AND à 4 entrées

Montrer que cette association de portes logiques correspond à une porte AND à 4 entrées i.e. que la sortie vaut 1 uniquement si toutes les entrées valent 1.



4 Porte XOR

1. On note a et Y les deux entrées d'une porte XOR. L'entrée Y est nommée *commande*.
Exprimer la sortie s en fonction de l'entrée a lorsque $Y = 0$. Même question lorsque $Y = 1$.

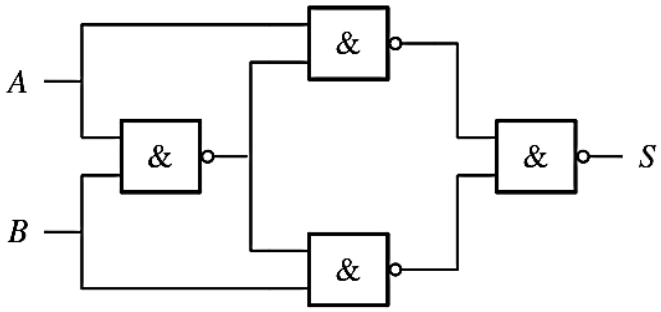
2. Détecteur d'imparité :

(a) On réalise une porte XOR sur trois entrées $a \oplus b \oplus c$. Montrez que

$$a \oplus b \oplus c = c \cdot b \cdot a + c \cdot \bar{b} \cdot \bar{a} + \bar{c} \cdot \bar{b} \cdot a + \bar{c} \cdot b \cdot \bar{a} \ .$$

(b) En déduire que cette sortie vaut 1 uniquement si le groupe (a, b, c) contient un nombre impair de 1.

3. Réalisations



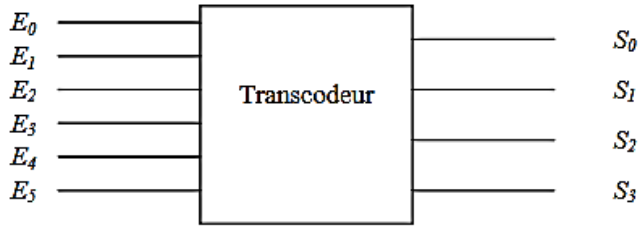
(a) Montrer que le circuit logique ci-dessus réalise une porte XOR.
On rappelle que l'opération XOR est donné par $a \oplus b = \overline{b} \cdot a + b \cdot \overline{a}$.

(b) Proposer un circuit logique équivalent à la porte XOR constitué uniquement de portes NOT, AND et OR.

(c) À partir de la question précédente, proposez un circuit logique permettant de réaliser l'opération XNOR.

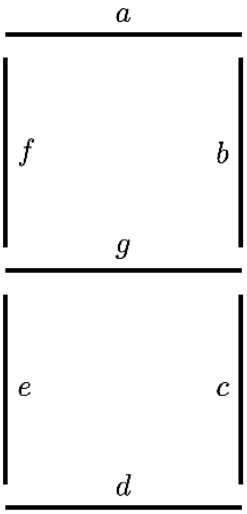
5 Exemple de transcodeur : afficheur hexadécimal sept segments

Le transcodeur sert à passer d'un code à un autre. On calcule chaque sortie S_j en fonction des combinaisons des entrées E_i.



On souhaite afficher sur un afficheur 7 segments (diodes électroluminescentes LED) le chiffre ou la lettre correspondant à un nombre binaire :
En entrée, on a un nombre binaire de 4 bits qui correspond aux valeurs de 0 à F en hexadécimal.
En sortie, on cherche le pilotage des sept segments de l'afficheur soit 7 sorties.

Chaque segment est relié à une LED. Dans cet exercice, nous avons choisi l'état allumé égal à 1. Par convention, les segments sont numérotés dans l'ordre alphabétique. La numérotation se fait en spirale, en partant du haut, conformément à la figure ci-contre.



Les données d'entrées sont enregistrées sur 4 bits notés $xyzt$. Le tableau ci-dessous rappelle les valeurs à prendre ainsi que le caractère à afficher sur l'afficheur.

Héxadécimal	0	1	2	3	4	5	6	7
Binaire	0000	0001	0010	0011	0100	0101	0110	0111
Affichage	0	1	2	3	4	5	6	7

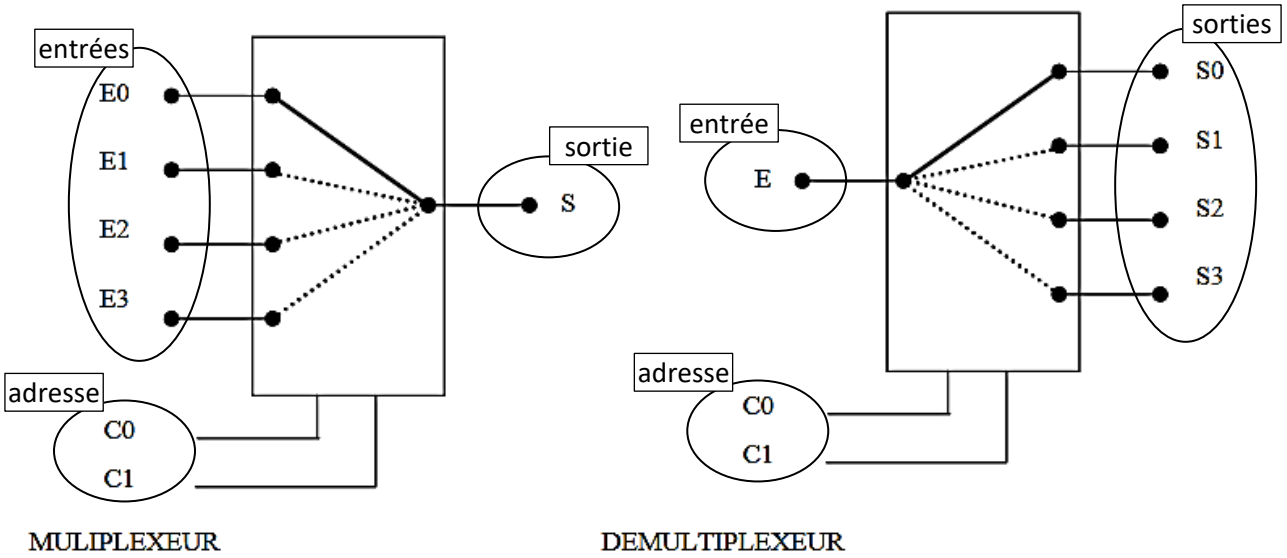
Héxadécimal	8	9	A	B	C	D	E	F
Binaire	1000	1001	1010	1011	1100	1101	1110	1111
Affichage	8	9	A	b	C	d	E	F

1. Remplir la table de vérité donnant la sortie $abcdefg$ en fonction du mot binaire d'entrée $xyzt$.
2. Proposer une formule booléenne pour a permettant de répondre à cette table de vérité.

6 Multiplexeur et démultiplexeur

Un multiplexeur est un circuit d'aiguillage commandé : on retrouve en sortie une des entrées choisie grâce à la commande d'adresse. Le démultiplexeur effectue l'opération inverse.

Schémas de principe du **Multiplexeur** et du **démultiplexeur** :



On étudie un multiplexeur à deux entrées, notées e_0 et e_1, et un bit d'adresse a. La sortie vaut e_0 si $a = 0$ et e_1 dans le cas contraire.

1. Écrire la table de vérité du multiplexeur.
2. Montrer que la sortie est équivalente à $\overline{a} \cdot e_0 + a \cdot e_1$
3. En déduire le schéma logique correspondant.

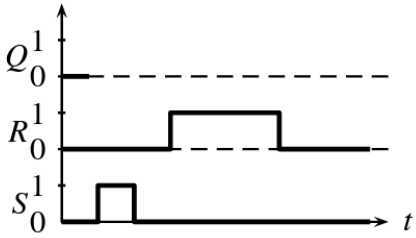
On étudie un démultiplexeur à deux sorties, notées s_0 et s_1, et un bit d'adresse a. La valeur du bit d'entrée e est transmise à la sortie s_i selon la valeur du bit d'adresse a : $s_0 = e$ si $a = 0$ et $s_1 = e$ si $a = 1$. On affecte la valeur 0 à la sortie qui ne correspond pas au bit d'adresse.

4. Écrire la table de vérité du démultiplexeur.
5. Proposer un schéma logique correspondant.

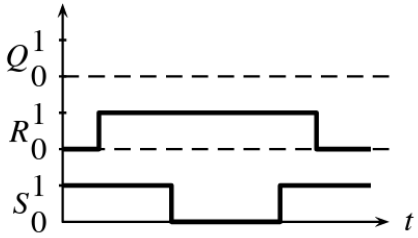
7 Chronogrammes d'une bascule RS

Compléter les chronogrammes suivants relatifs à une bascule RS à effacement prioritaire.

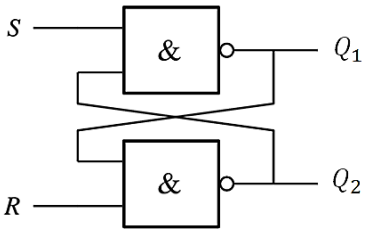
1.



2.



8 Bascule à deux portes NAND



1. Établir la table de vérité de la bascule RS à portes NAND représentée ci-dessus et proposer un chronogramme mettant en évidence les « phases » d'inscription (set), d'effacement (reset) et de mémorisation.

2. Comment modifier ce circuit, en rajoutant uniquement d'autres portes NAND, pour obtenir la même table de vérité que celle de la bascule RS vue dans le cours ?

9 Système à mémoire RSH

La bascule RS (bascule « asynchrone ») présentée dans le cours a un inconvénient majeur : elle peut enregistrer un signal parasite sur l'entrée R ou S, faisant évoluer la bascule alors qu'il n'y avait pas lieu d'être. Pour éviter ce problème, il suffit de ne prendre en compte les valeurs présentes sur les entrées R et S que pendant un temps très court. On réalise ceci grâce au signal supplémentaire H (signal d'Horloge) sur lequel on enverra l'impulsion permettant la prise en compte des entrées.
On étudie donc un système séquentiel à trois entrées principales H, S et R dont la sortie est notée Q. Le fonctionnement est le suivant :

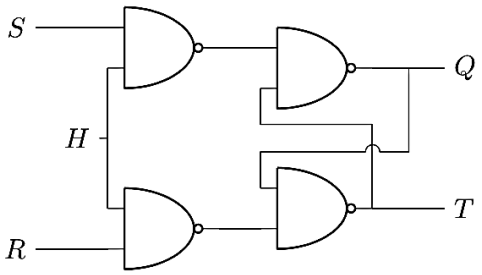
- ▷ tant que $H = 1$, le système est une mémoire RS ;
- ▷ si $H = 0$, le système est isolé, son état mémoire est constant.

L'équation combinatoire du système dépend de quatre variables et vaut

$$Q_+ = H \cdot (S \cdot \bar{Q}_- + \bar{R} \cdot Q_-) + \bar{H} \cdot Q_- \ .$$

1. Tracer le chronogramme représentant des évolutions de R, S, H et Q en fonction du temps.
2. Montrer que cette relation combinatoire correspond bien au cahier des charges décrit dans l'énoncé.

On considère le circuit logique suivant.



3. Vérifier que ce montage vérifie la relation combinatoire proposée.
4. Montrer que $T = \bar{Q}$ dans les cas d'utilisation acceptés de la bascule RS.

Rq : l'entrée H est parfois notée C, pour Clock.

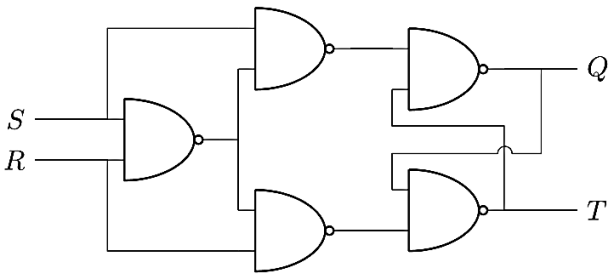
10 Bascule RS à cinq portes NAND

On étudie un système séquentiel à deux entrées principales S et R dont la sortie est notée Q. L'équation combinatoire du système est :

$$Q_+ = S \cdot \bar{R} + (S + \bar{R}) \cdot Q_- \ .$$

1. Montrer que cette relation combinatoire est celle d'une mémoire Set-Reset.
2. Quel est l'effet de ce système si $R = S = 1$?

On considère le circuit logique suivant.



3. Vérifier que ce montage vérifie la relation combinatoire proposée.
4. Montrer que $T = \bar{Q}$ dans les cas acceptés d'utilisation de la bascule RS.