

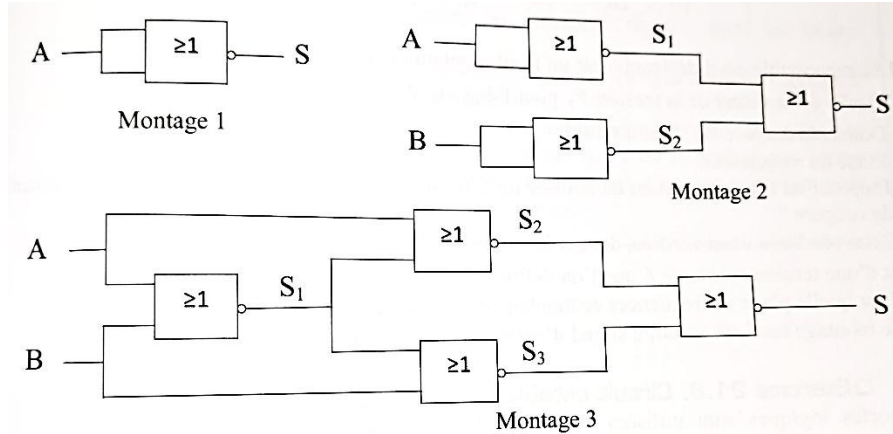
# Préparation aux oraux MPI

## TD1' – Electronique logique

### 1 Exercice « académique » : Porte universelle

On s'intéresse à la porte logique NOR qui est une porte universelle.

1) Etablir la table de vérité et la fonction logique correspondant à chacun des montages suivants :



2) Proposer un montage réalisant une porte XOR (ou-exclusif) uniquement à partir de portes NOR.

3) Proposer un script python permettant de vérifier la validité du montage.

#### Données :

Le programme :

```
s_not=[(a,not a) for a in [False,True]]  
print("Table NOT :",s_not)
```

renvoie :

```
Table NOT : [(False, True), (True, False)]
```

Le programme :

```
s_or=[((a,b),a or b) for a in [False,True] for b in [False,True]]  
print("Table OR :",s_or)
```

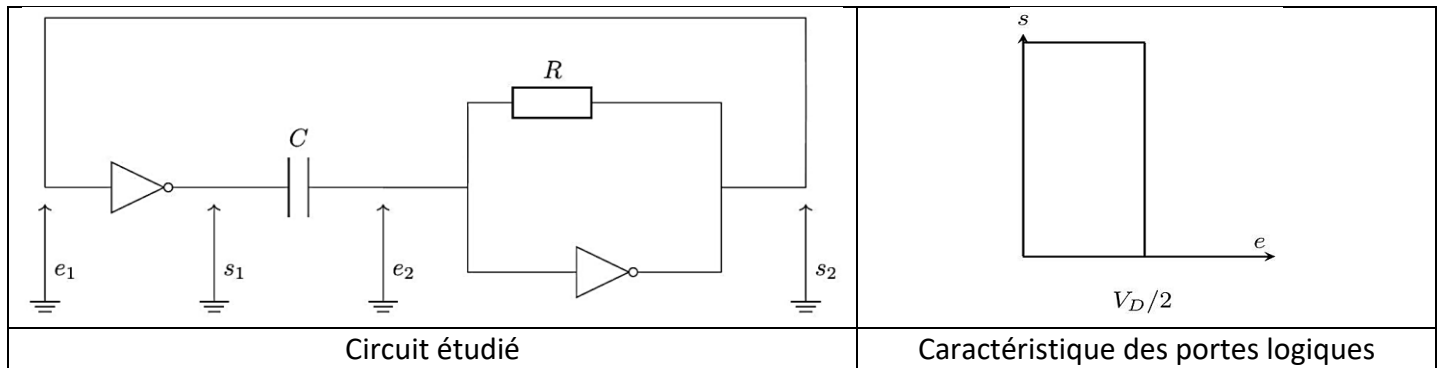
renvoie :

```
Table OR : [((False, False), False), ((False, True), True), ((True, False), True), ((True, True), True)]
```

## 2 Exercice « académique » CCINP : Montage à portes logiques

On considère le montage représenté ci-dessous.

Les portes logiques sont supposées idéales, alimentées entre 0 et  $V_D$ , et elles vérifient la caractéristique ci-dessous. On suppose de plus que les portes logiques ont une impédance d'entrée infinie.



- 1 - Réaliser une porte NOT à l'aide d'une (ou plusieurs) porte(s) NAND. Justifier à l'aide d'une table de vérité.
- 2 - On suppose dans la première partie de cette question qu'il existe un état stationnaire dans le circuit. En déduire qu'il ne peut exister d'état stationnaire. Le circuit est-il astable, monostable ou bistable ?
- 3 - Pour la suite, on suppose qu'à  $t = 0^+$  le circuit vient de basculer, ce qui donne :

$$e_2(0^+) = \frac{3V_D}{2}, \quad s_2(0^+) = 0.$$

Donner l'expression de  $e_2(t)$  pour  $t \geq 0$  (tant que le circuit reste dans cette phase).

- 4 - Donner l'expression de  $e_1(t)$  pendant cette phase.
- 5 - En déduire le comportement global du circuit, et notamment sa période d'oscillation.

### 3 Numérisation et traitement du signal (d'après CCS2 MPI 2024)

Le signal fourni par la guitare électrique est finalement numérisé puis traité. On considère dans tout ce qui suit que ce signal est une tension positive comprise entre 0 V (potentiel de la masse) et  $V_{cc}$  (potentiel haut). On étudie, en premier lieu, un convertisseur analogique numérique de type flash. Le schéma de la figure 10 représente le circuit électronique d'un convertisseur flash sur deux bits.

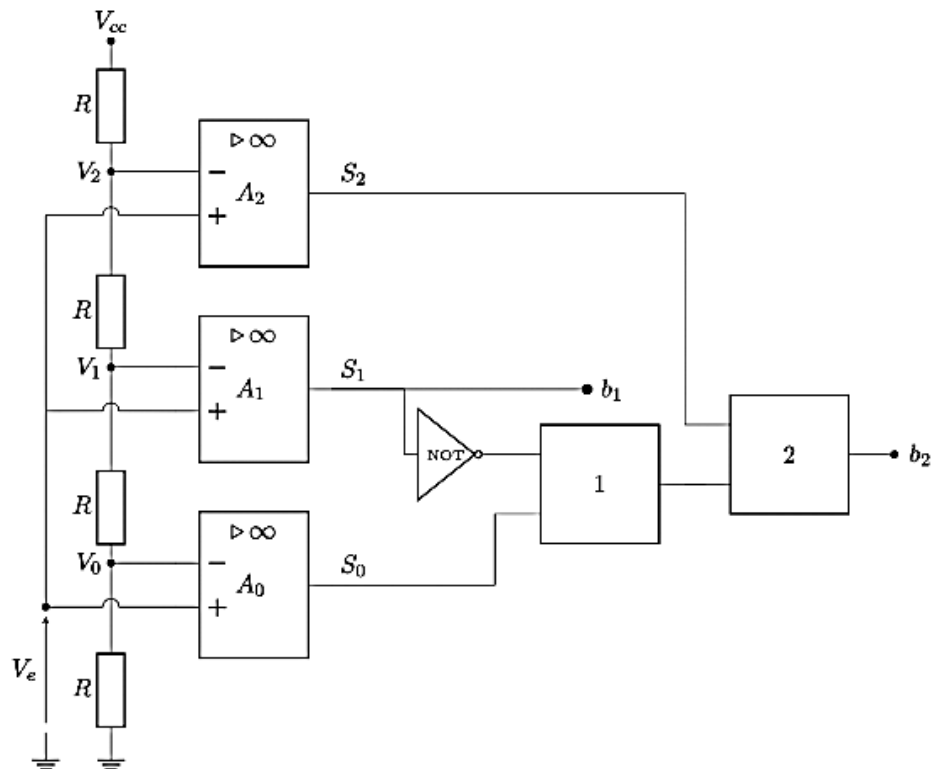


Figure 10

Q 41. Justifier que les tensions  $V_0$ ,  $V_1$  et  $V_2$  valent respectivement  $\frac{1}{4}V_{cc}$ ,  $\frac{1}{2}V_{cc}$  et  $\frac{3}{4}V_{cc}$ .

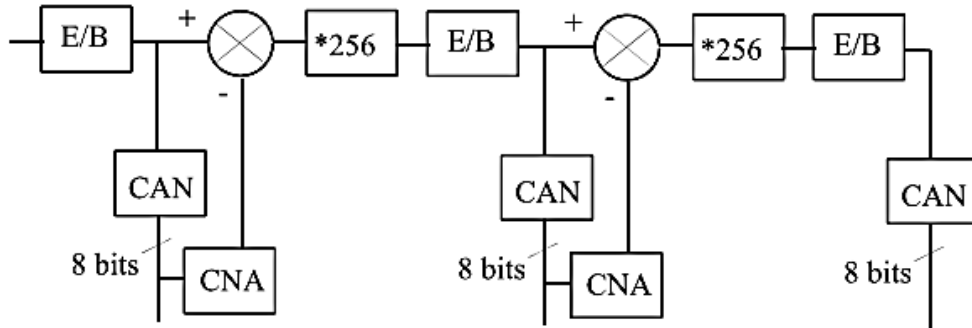
Dans la figure figure 10, la porte 1 réalise la fonction ET et la porte 2 la fonction OU.

Q 42. Reproduire et compléter la table de vérité ci-dessous relative au convertisseur flash.

	$S_0$	$S_1$	$S_2$	$b_1$	$b_2$
$0 < V_e < \frac{1}{4}V_{cc}$					
$\frac{1}{4}V_{cc} < V_e < \frac{1}{2}V_{cc}$					
$\frac{1}{2}V_{cc} < V_e < \frac{3}{4}V_{cc}$					
$\frac{3}{4}V_{cc} < V_e$					

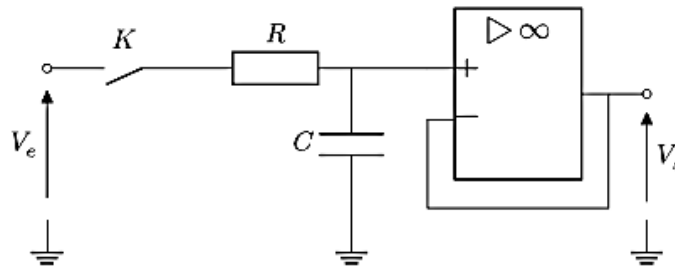
**Q 43.** La norme **Hi-Res Audio** des fichiers audios (utilisé dans les fichiers .flac, par exemple) impose un encodage sur 24 bits à une fréquence égale ou supérieure à 96 kHz. Combien d'amplificateurs linéaires intégrés seraient nécessaires pour réaliser un convertisseur flash sur 24 bits ?

En pratique, il n'existe pas dans le commerce de convertisseur flash sur plus de 12 bits (au delà, ils seraient trop chers et trop encombrants). On peut, néanmoins, mettre à profit leur grande rapidité de conversion dans des convertisseurs pipeline semi-flash. Prenons l'exemple du convertisseur pipeline 24 bits à trois étages représenté à la figure 11. *E/B* désigne un circuit échantillonneur bloqueur, *CAN* un convertisseur analogique numérique flash 8 bits et *CNA* un convertisseur numérique analogique 8 bits.



**Figure 11**

Le premier étage détermine les valeurs des 8 bits de poids fort, l'étage suivant les valeurs des 8 bits suivants, enfin le dernier étage détermine les valeurs des 8 bits de poids faible. Trois circuits échantillonneurs bloqueurs sont intercalés afin de synchroniser les trois conversions. Un échantillonneur bloqueur peut être réalisé selon le schéma de la figure 12, dans lequel l'interrupteur *K* est commandé par une tension crête-à-crête, appelé signal d'horloge, à la fréquence d'échantillonnage  $f_e$ .



**Figure 12**

On suppose *K* fermé et le condensateur initialement déchargé. De plus, on suppose que les variations temporelles de  $V_e(t)$  sont très lentes devant le produit  $RC$ .

**Q 44.** Au bout de combien de temps le condensateur atteint-il la tension  $V_e$  à 99% ? En déduire une contrainte sur le produit  $RC$  pour que  $u_C$  diffère de  $V_e$  de moins de 1% à chaque front descendant du signal d'horloge .

**Q 45.** Que vaut la tension de sortie lorsque l'interrupteur est ouvert ? Quel est l'intérêt de ce circuit ?

**Q 46.** La tension d'horloge pilotant l'interrupteur  $K$  est réalisée à l'aide du circuit de la figure 13. L'interrupteur  $I$  est fermé pour  $Q$  à l'état bas, et ouvert quand  $Q$  est à l'état haut et ainsi qu'à la mise sous tension. Tracer le chronogramme de la tension  $u_C$ , des entrées  $R$ ,  $S$  et de la sortie  $Q$ , en partant de l'état initial  $R = 0$ ,  $S = 1$ ,  $I$  ouvert et  $u_C = 0$ . On tracera l'allure des chronogrammes sans chercher l'expression littérale de  $u_C$  au cours du temps.

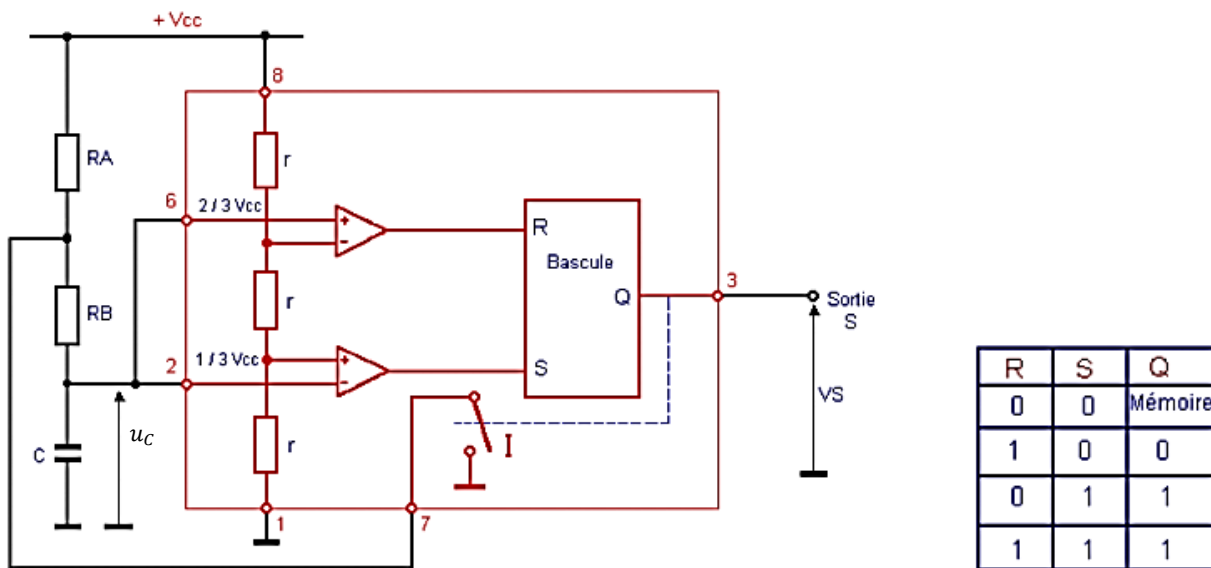


Figure 13

**Q 47.** Comment choisir  $R_A$  et  $R_B$  pour obtenir un signal d'horloge en forme de peigne (*i.e.* signal créneau pour lequel le temps à l'état haut est faible devant le temps à l'état bas) ?

**Q 48.** Le flanger est un effet sonore obtenu en additionnant au signal d'origine ce même signal mais légèrement retardé. De plus, ce retard est lentement modulé dans le temps. Ainsi, pour un signal d'entrée  $e(t)$ , le signal de sortie est  $s(t) = e(t) + e(t + \tau)$  avec  $\tau = \tau_0 + \delta\tau \sin \omega t$  et  $\delta\tau < \tau$ .

Proposer une fonction Python

`phaser(e : list, omega : float, tau : float, dtau : float) -> list :`

qui prend, respectivement, en argument :

- le signal  $e(t)$  numérisé à la période d'échantillonnage  $T_e$  et stocké sous forme de liste ;
- $\omega$  la pulsation de la modulation ;
- $\tau_0$  la valeur moyenne du déphasage ;
- $d\tau$  l'amplitude du déphasage ;

et qui renvoie le signal filtré sous forme de liste. On supposera que  $e$  a été enregistré pendant une durée grande devant  $\tau$  et que la fréquence d'échantillonnage a déjà été définie dans une variable globale  $f_e$ .

## Rapports

### CCINP

Dans le cas particulier de la filière MPI, les exercices comportant des portes logiques sont plutôt bien réussis dans l'ensemble.