

TD CHAPITRE ELEC.3 : ELECTRONIQUE LOGIQUE



IMPORTANT Désigne un exercice classique, qu'il est nécessaire de savoir refaire de façon rapide et rigoureuse



Difficulté des techniques et outils mathématiques nécessaires



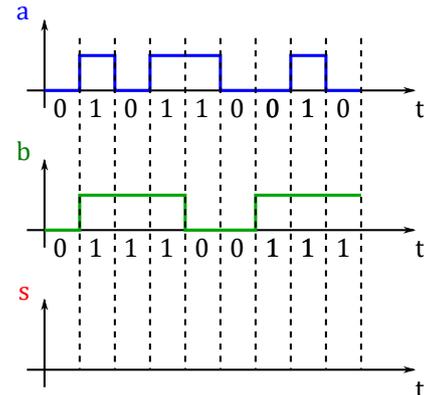
Difficulté d'analyse, de compréhension, prise d'initiatives

■ APPLICATIONS DE COURS

Exercice 1. Chronogrammes des portes élémentaires 1 | 0

Compléter le chronogramme ci-contre pour les cas suivants :

porte AND ; porte OU ; porte NAND ; porte NOR



Exercice 2. Exemples de preuves d'égalité 1 | 0

- 1- a est une variable binaire. En utilisant les tables de vérités, démontrer les égalités suivantes $a + 0 = a$, $a + 1 = 1$, $a \cdot 0 = 0$ et $a \cdot 1 = a$.
- 2- Montrer l'idempotence des opérateurs OU et ET en démontrant que $a \cdot a = a$ et $a + a = a$
- 3- Retrouver les résultats du tiers exclu $a + \bar{a} = 1$ et de contradiction $a\bar{a} = 0$
- 4- Démontrer les équations d'absorption suivantes $a + ab = a$, $a \cdot (a + b) = a$, $a + \bar{a}b = a + b$ puis le théorème du consensus $ab + \bar{a}c = ab + \bar{a}c + bc$ et

Exercice 3. Réalisation d'une porte XOR 2 | 0

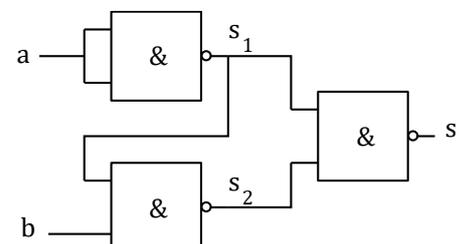
- 1- Montrer que $a \oplus b = \bar{b} \cdot a + b \cdot \bar{a}$.
- 2- Montrer que la porte XOR n'est pas fondamentale si l'on se donne les portes NON, ET et OU.
- 3- Proposer une réalisation de cette porte à l'aide de portes NON, ET et OU.

Exercice 4. Construction des principales portes logiques avec la porte NAND | 2 | 0

Montrer que les portes NOT, AND, OR, NOR et XOR peuvent chacune être construites à l'aide uniquement de portes NAND.

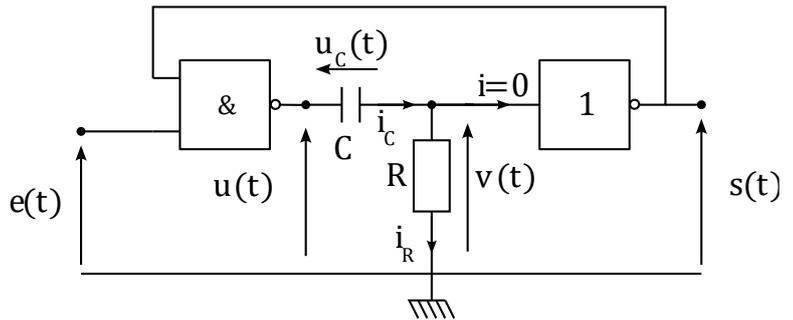
Exercice 5. Obtention de l'équation logique d'un montage 1 | 0

Écrire l'équation logique et la table de vérité du montage ci-contre.



Exercice 6. Convertisseur logique tension-fréquence ⚠ ⚠ | 💡 2 | ✂ 1

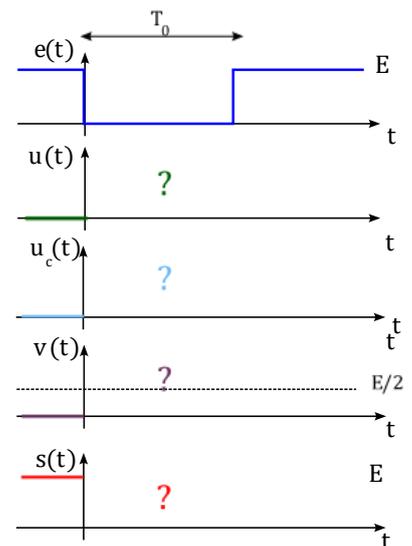
On étudie le convertisseur logique tension-fréquence réalisé à l'aide du circuit ci-contre constitué de portes logiques idéales. on suppose que la porte NON bascule à $E/2$



- Déterminer l'équation différentielle reliant $u(t)$ à $v(t)$.
- Quelle propriété mathématique possède la tension $u_c(t) = u(t) - v(t)$? Quelle conséquence cela a-t-il sur la tension $v(t)$?

Partons d'un montage dans l'état stable correspondant à une entrée $e(t < 0) = E$ depuis un temps très long.

- Supposons qu'à $t = 0$, l'entrée e bascule à 0 pendant une durée T_0 (avant de revenir à 1). Que se passe-t-il à $t = 0^+$ dans le montage? On donnera les valeurs des différentes tensions à cet instant $t = 0^+$.
- Que se passe-t-il après ce basculement? On séparera l'analyse selon que T_0 est ou non supérieur $T_b = \tau \times \ln(2)$ et on complétera les chronogrammes ci-contre correspondant aux cas $T_b > T_0$ et $T_b < T_0$.
- Quel est l'état stable de la sortie $s(t)$?
- On injecte en entrée un signal périodique de forme carrée symétrique de fréquence f_e , compris entre 0 et E . Compléter les chronogrammes en indiquant la nouvelle allure des courbes dans les conditions suivantes: on supposera que la durée de basculement du monostable T_b est bien plus petite que la période T_e du signal d'entrée ($T_b \ll T_e$).
- Montrer que la valeur moyenne du signal de sortie est une fonction affine de la fréquence f_e du signal d'entrée.
- Quelles sont les caractéristiques du filtre à placer en sortie pour obtenir cette grandeur?
- Comment peut-on modifier ce montage afin de récupérer un signal moyenné directement proportionnel à la fréquence d'entrée du signal?

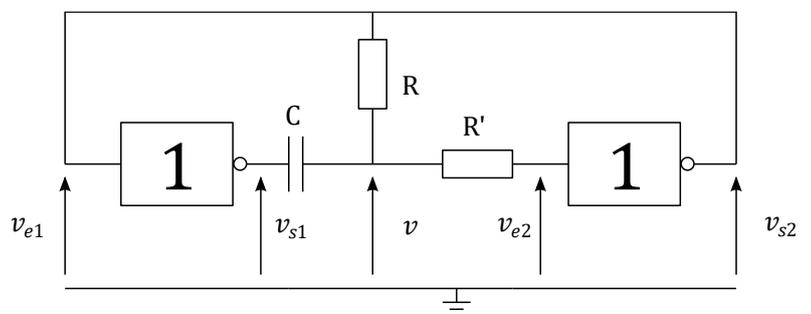


Exercice 7. Oscillateur astable ⚠ ⚠ | 💡 2 | ✂ 1

Les portes logiques sont supposées idéales, avec la tension d'alimentation V_{DD} des portes NON qui correspond à la valeur du niveau haut des signaux de sortie des portes.

La tension de bascule des portes est V_b .

On suppose à $t < 0$ que $v_{s2} = v_{e1} = V_{DD}$; cette phase s'achève lorsque $v_{e2} = V_b$ et cet instant est choisi comme origine des temps.



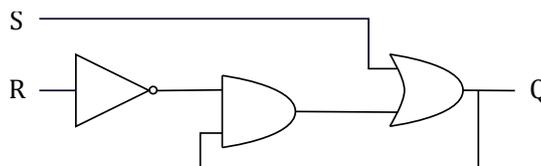
- Supposer qu'il existe une tension stable aux bornes du condensateur et montrer qu'on aboutit à une contradiction; de quel type de système s'agit-il?
- Déterminer les valeurs des différentes tensions à $t = 0^-$ puis à $t = 0^+$.
- Pour $t > 0$, établir les expressions de $u_c(t)$ puis de $v_{e2}(t)$.

- 4- Déterminer l'instant T_b auquel cette phase prend fin.
- 5- Déterminer les valeurs des différentes tensions à $t = T_b^-$ et à $t = T_b^+$.
- 6- Pour $t > T_b$, déterminer les nouvelles expressions de $u_C(t)$ et de $v_{e2}(t)$.
- 7- Déterminer l'instant $T_h + T_b$ auquel cette nouvelle phase prend fin
- 8- Tracer l'allure des chronogrammes associés à ces différentes étapes
- 9- Donner la période de ce multivibrateur, et la simplifier pour $V_b = \frac{V_{DD}}{2}$.

Exercice 8. Réalisation de bascule RS à inscription prioritaire à l'aide de portes élémentaires non

universelles  |  2 |  1

1- Justifier que le montage suivant réalisé à l'aide de portes NOT, OR et AND réalise bien l'opération logique associée à une bascule RS à inscription prioritaire.

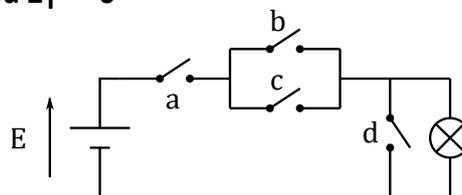


2- Afin d'étudier la stabilité de ce montage, on étudiera la stabilité des différents états de sortie selon les trois possibilités d'entrées (R, S) autorisées. Pour chaque configuration des entrées (sauf les combinaison interdites), on fait l'hypothèse d'une valeur de sortie et on analyse sa stabilité. On pourra introduire le signal intermédiaire I_n entre les portes ET et OU (si l'éventuel changement de la sortie Q prend un temps $\tau = \tau_{ET} + \tau_{OU}$ au travers des deux portes, alors I_n est évalué τ_{ET} après le changement de Q_n et τ_{OU} avant le changement de Q_{n+1}).

EXERCICES *Enoncés J. Le Berre*

Exercice 9. Equation logique et schéma de contact 1 ou 2 | 0

Écrire l'équation logique associée au schéma de contact suivant



Exercice 10. Universalité de la porte NOR 2 ou 3 | 0

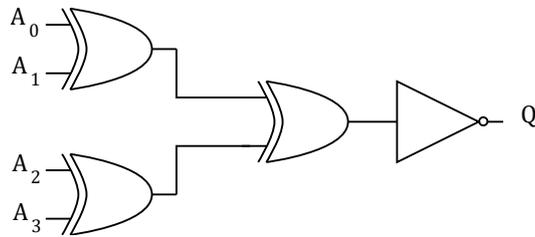
Montrer que l'ensemble des portes NOT, AND, OR, NAND et XOR peuvent toutes être construites à l'aide uniquement de portes NOR (On dit que la porte NOR ou NON-OU, comme la porte NAND, produit un groupe complet).

Exercice 11. Porte multiple 2 | 0

Réaliser une NAND à 4 entrées à l'aide de NAND à deux entrées.

Exercice 12. Testeur de parité 2 | 0

La parité d'un nombre codé en binaire est 1 si la somme des chiffres binaires est paire, 0 sinon. Montrer que le circuit ci-dessous rend bien compte de la parité d'un nombre binaire ${}_bA_3A_2A_1A_0$.



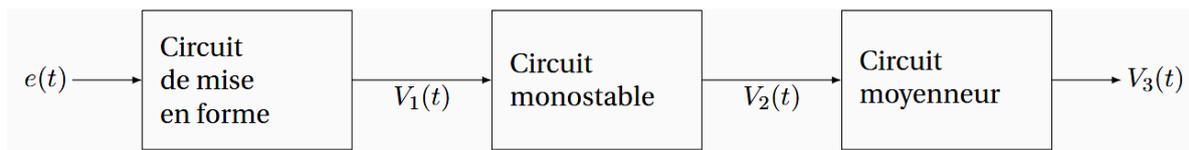
Exercice 13. Equilibrons un pétrolier 2 | 0

Sur un pétrolier, la cale comprend 3 soutes à pétrole (A, B et C). Elles sont remplies de façon indépendante les unes des autres. Quand le remplissage est terminé, un voyant V doit s'allumer si l'assiette du bateau est correcte, c'est à dire si le pétrole est correctement réparti dans les soutes. Des capteurs testent le remplissage complet de chaque soute. L'assiette est correcte si les 3 soutes sont vides ou si elles sont toutes les 3 remplies ou si seule B est remplie ou enfin si seules A et C sont remplies.

1. Traduire ce problème par une table de vérité donnant la sortie V en fonction des entrées a, b et c .
2. Déterminer l'équation donnant V fonction des entrées a, b et c . Reconnaissez-vous cette porte ?

Exercice 14. Convertisseur fréquence tension IMPORTANT | 2 | 1

On réalise un convertisseur fréquence tension à l'aide du montage suivant constitué de trois blocs mis en série.

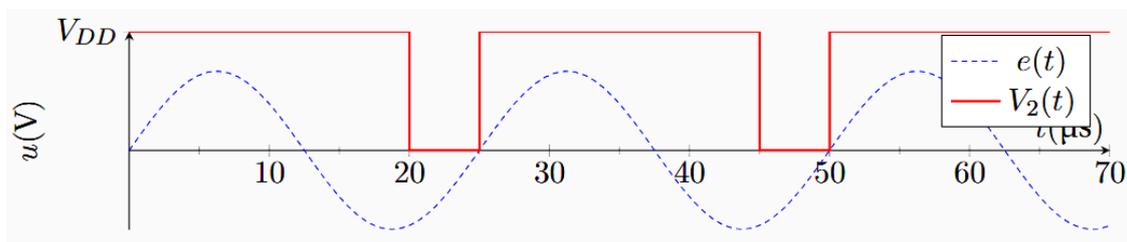


L'objectif est d'obtenir en sortie du moyennneur un signal de tension continue proportionnel à la fréquence $f_0 = 40$ kHz du signal d'entrée $e(t) = E \cdot \sin(2\pi f_0 t)$.

1. Le premier bloc comporte un circuit de mise en forme aux normes logiques. Il s'agit d'un amplificateur suivi d'une diode, l'ensemble se comportant comme un comparateur simple :
 - si $e(t) > 0$ alors $V_1(t) = V_{DD} = +15$ V
 - si $e(t) < 0$ alors $V_1(t) = 0$

Tracer les chronogrammes des tension $e(t)$ et $V_1(t)$.

Le second bloc est un montage monostable de durée τ de l'état instable. On observe le chronogramme suivant

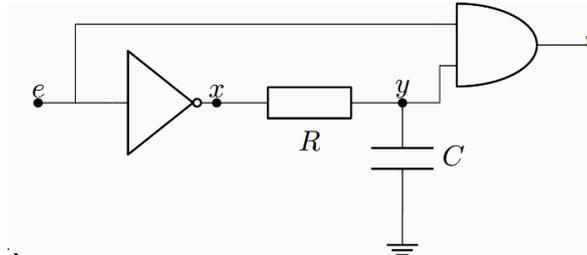


2. Le monostable est-il déclenché sur un front montant ou descendant de $V_1(t)$?
3. Déterminer la valeur de tension de son état stable de sortie, puis de son état instable.
4. Déterminer la durée τ de l'état instable.
5. Proposer un montage du premier ordre moyennneur de $V_2(t)$ produisant $V_3(t) = \langle V_2(t) \rangle$. On précisera sa fréquence de coupure f_c .
6. Exprimer $V_3(t)$ en fonction de τ, f_0 et d'une tension continue que l'on précisera.

- Pour quelle plage de fréquence de la tension d'entrée ce montage est-il adapté ?
- On mesure une tension de 3 V en sortie. En déduire la fréquence du signal d'entrée.

Exercice 15. Générateur d'impulsion   2 ou 3 |  1

Le signal $e(t)$ est un signal logique $0 - V_{CC}$. On suppose que la porte ET possède un niveau de basculement à $y = V_{CC}/2$.

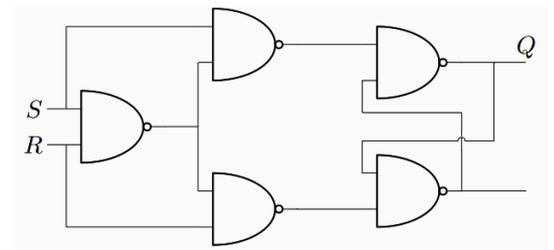


- Déterminer l'état stable de sortie de ce montage monostable. Dans cet état stable, déterminer les valeurs de x et y selon la valeur de e .
- Justifier que ce montage produit une impulsion de durée T_i sur un front montant de $e(t)$. Déterminer T_i .
- Que se passe-t-il en sortie si $e(t)$ change revient à zéro après une durée θ_1 plus longue que T_i , plus courte que T_i .
- Comment doit-on changer la porte de sortie afin de détecter des fronts descendants de $e(t)$.
- Comment doit-on changer la porte de sortie afin de détecter tous les fronts descendants comme montants de $e(t)$.

Exercice 16. Mémoire à bascule   2 |  0

On considère le montage suivant constitué exclusivement de portes NAND.

- Montrer que ce montage réalise le cahier des charges d'une bascule RS.
- Quel est l'effet de $R = S = 1$? Commenter.
- Montrer que $T = \bar{Q}$.

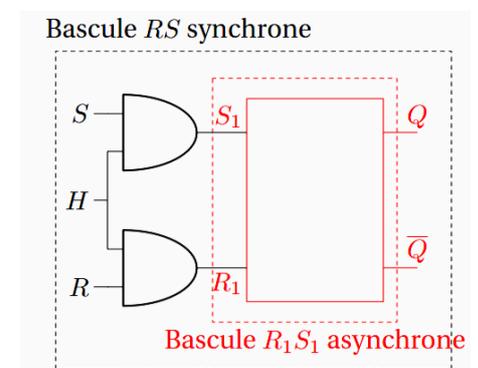


Exercice 17. Une 1^{ère} évolution de la bascule RS : la bascule synchrone RSH   2 |  0

Nous avons vu l'existence de durées de propagation dans les circuits à portes logiques. Lorsque l'on connecte une bascule RS à des circuits de logique combinatoire, ces délais peuvent entraîner des changements non désirés sur la bascule. L'idée de la bascule RSH est de permettre de réaliser tous les calculs de logique combinatoire et de stabiliser les signaux d'entrée de la bascule avant de les prendre en compte pour délivrer les sorties.

La bascule RSH est construite autour d'une bascule RS et d'un signal d'horloge H périodique (010101 ...).

- Montrer que le montage ci-dessous de réaliser cette idée.

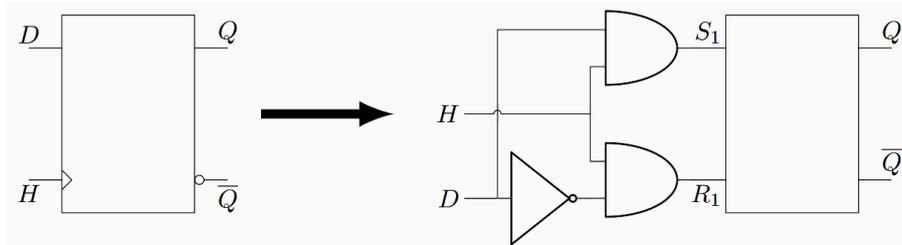


2. La bascule R_1S_1 possède la relation combinatoire de fonctionnement $Q_{n+1} = S_1 + \overline{R_1} \cdot Q_n$. En déduire la relation combinatoire du montage complet et vérifier rapidement qu'on a bien une bascule RS à inscription prioritaire.

Exercice 18. Une seconde évolution de la bascule RS ; le verrou D (latch) 💡 2 ou 3 | ✂️ 0

Ce dispositif permet de verrouiller une donnée D (pour Data) mise en entrée. Le signal de contrôle s'appelle ici H car il préfigure les signaux d'horloge de la logique séquentielle synchrone. Cette bascule est cela qualifiée de synchrone.

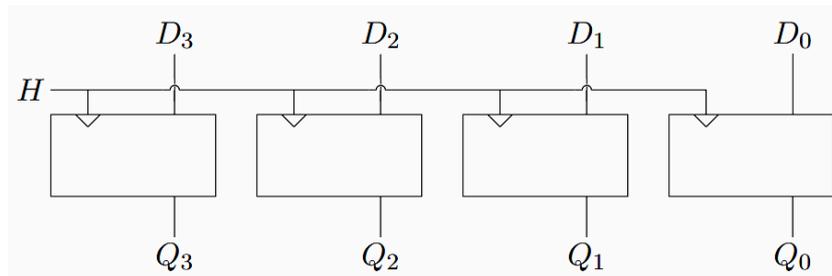
Ce dispositif est construit autour d'une **bascule RSH** (bascule RS à horloge) selon le schéma suivant ;



1. À l'aide de la table de vérité, montrer que $H = 1$ entraîne la copie de D en sortie Q alors que $H = 0$ verrouille l'état de sortie.
2. Montrer que ce montage règle également le problème des entrées interdites de la bascule RS.
3. Pourquoi parle-t-on d'un *verrou D synchrone sur front montant* ?

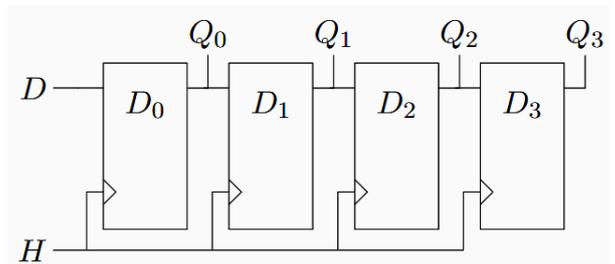
Application au stockage de données

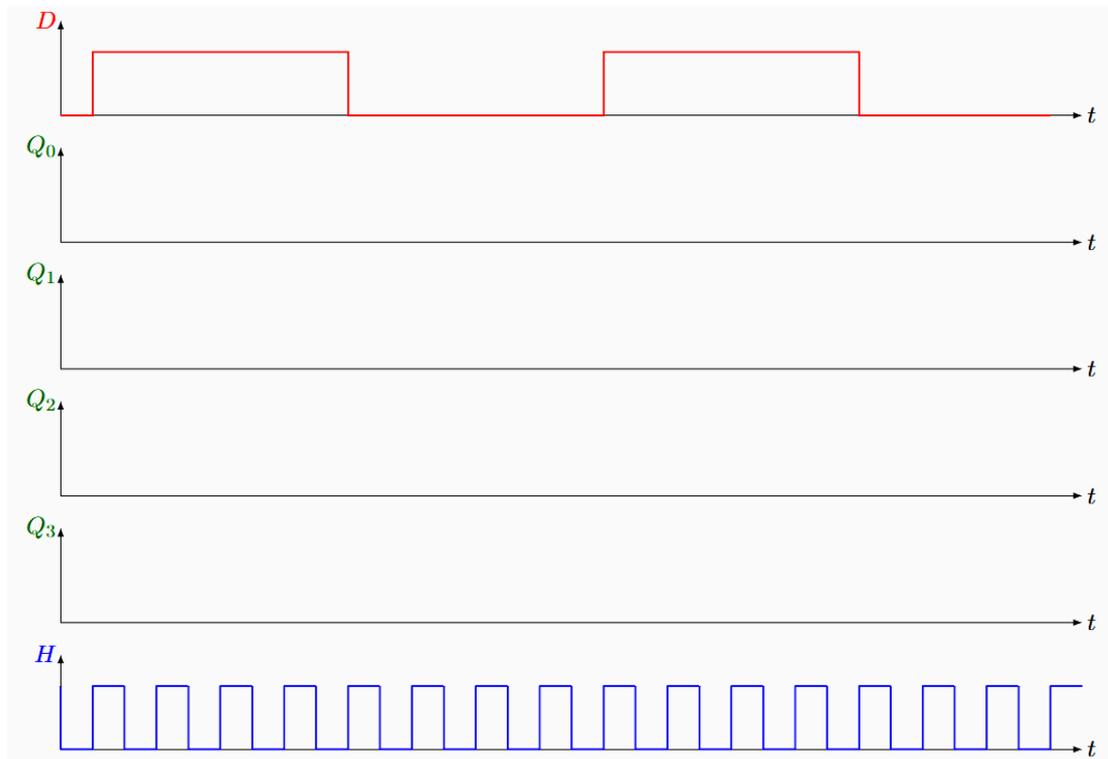
4. Montrer que le montage ci-dessous permet de **stocker un mot de 4 bits** $D_3D_2D_1D_0$ de données à chaque front montant de l'horloge



Application à la conception d'un registre à décalage

5. Expliquer le fonctionnement et l'utilité du dispositif ci-contre appelé **registre à 4 entrées** en série dans lequel la sortie d'une bascule joue le rôle d'entrée de la suivante.
6. Remplir le chronogramme ci-dessous.





EXERCICES COMPLEMENTAIRES

Exercice 19. Algèbre de Boole versus algèbre réelle 1 | 0

- À l'aide d'une table de vérité, montrer que $\bar{c}.a + c.b + b.a = \bar{c}.a + c.b$.
- Dans l'algèbre des nombres réels, on peut en déduire une propriété sur $b.a$, est-ce le cas dans l'algèbre de Boole ?

Exercice 20. Utilisation de la porte XOR 2 | 0

Nous avons montré que l'opération XOR (OU exclusif) peut se réécrire sous la forme : $s = a \oplus b = \bar{b}.a + b.\bar{a}$.

- Opérateur programmable de commande Y. Proposez un circuit logique utilisant une porte XOR dont la sortie vaut a si Y = 0 et a si Y = 1.
- Clé de parité : On réalise une porte XOR à trois entrées $a \oplus b \oplus c$.
 - Montrer que $a \oplus b \oplus c = a.b.c + a.\bar{b}.\bar{c} + \bar{a}.b.\bar{c} + \bar{a}.\bar{b}.c$
 - En déduire que cette sortie vaut 1 uniquement si (a, b, c) contient un nombre impair de 1.

Exercice 21. La porte XNOR 2 | 0

L'opérateur XNOR agit sur deux variables d'entrées a et b. La porte renvoie 1 si ni l'une, ni l'autre (mais pas les deux) valent 1. On note sa sortie $a \odot b$.



- Donner la table de vérité de la porte XNOR. Montrer qu'il s'agit bien de la négation de la porte XOR.
- Montrer que $a \odot b = (b + \bar{a}).(\bar{b} + a)$.
- Proposer un second circuit logique équivalent à la porte XNOR constitué uniquement de portes NOT, AND et OR.

Exercice 22. Synthèse d'équation logique  2 ou 3 | ✖ 0

- On souhaite réaliser un montage réalisant l'équation logique $s = \overline{(a + b)}.c + a.\vec{d}$. Proposer un montage à portes NON, OU et ET qui réalise cette opération.
- **Proposer un montage réalisant le montage précédent uniquement à l'aide 5 portes NAND à deux entrées et une porte NAND à 3 entrées (on pourra exploiter les lois de de Morgan). Quel peut être l'intérêt technologique de n'utiliser que des portes de même nature de type NAND ?

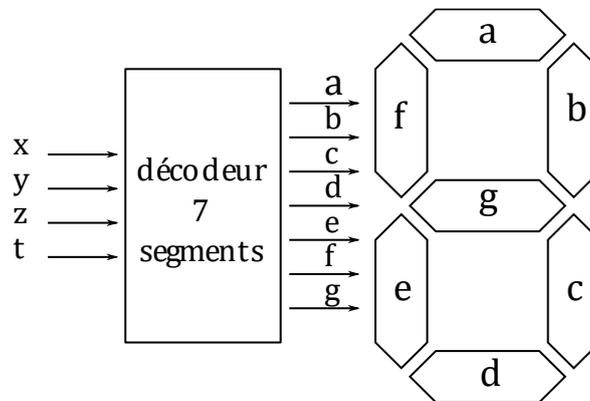
Exercice 23. Les vrais majoritaires  2ou 3 | ✖ 0

Écrire l'équation logique simplifiée à trois entrées qui renvoie 1 si les 1 sont majoritaires, 0 sinon.

Exercice 24. L'afficheur à 7 segments  2 ou 3 | ✖ 0

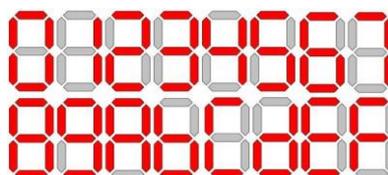
On souhaite afficher sur un afficheur à 7 segments la valeur d'un nombre binaire.

En entrée, on envoie un mot de 4 bits noté ${}_bxyz_t$, ce qui permet de coder les valeurs de 0 à F en hexadécimal. En sortie, on cherche à piloter les sept segments a, b, c, d, e, f de l'afficheur, chaque segment est relié à une LED. On attribuera 1 à l'état allumé. La numérotation des segments se fait comme suit ;



Héxadécimal	0	1	2	3	4	5	6	7
Binaire	0000	0001	0010	0011	0100	0101	0110	0111
Affichage	0	1	2	3	4	5	6	7

Héxadécimal	8	9	A	B	C	D	E	F
Binaire	1000	1001	1010	1011	1100	1101	1110	1111
Affichage	8	9	A	b	C	d	E	F



- Remplir la table de vérité donnant $abcdefgh$ en fonction du mot binaire ${}_bxyz_t$.
- Proposer une équation logique pour le segment a permettant respecter cette table.